

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-177469

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.	H04N 5/93
	G11B 15/473
	H04N 5/06
	H04N 5/92

(21)Application number : 06-054620 (71)Applicant : SONY CORP  
(22)Date of filing : 28.02.1994 (72)Inventor : EZAKI KUNIHIO  
YOKOTA JUNICHI

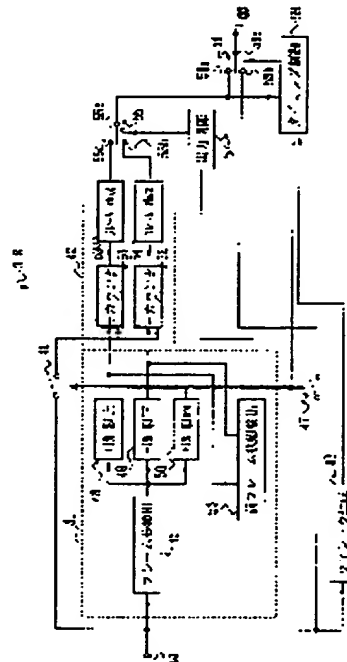
(30)Priority  
Priority number : 05302275      Priority date : 08.11.1993      Priority country : JP

## (54) RECORDING AND REPRODUCING DEVICE

**(57)Abstract:**

**PURPOSE:** To drive properly a drum servo at all times by providing continuity to a vertical synchronizing signal outputted at the changeover between an external synchronization mode and an internal self-running mode.

**CONSTITUTION:** A frame length detection section 45 detects a frame length based on a vertical synchronizing signal supplied externally. A comparator 48 detects it that the frame length is 41% or over of that of a standard signal, a comparator 49 detects it that the frame length is -1% or below of that of a standard signal, and a comparator 50 detects it that the frame length is within  $\pm 1\%$  of that of a standard signal. When the frame length is within  $\pm 1\%$  of that of a standard signal, a vertical synchronizing signal applied externally is outputted. When the frame length is other than 61% in comparison with that of a standard signal, a vertical synchronizing signal generated internally is outputted.



## LEGAL STATUS

[Date of request for examination] 25.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



10-10-10

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-177469

(43) 公開日 平成7年(1995)7月14日

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

P I

技術表示箇所

H 0 4 N 5/93

G 1 1 B 15/473

H 0 4 N 5/06

E 8935-5D

A

H 0 4 N 5/ 93

A

5/ 92

H

審査請求 未請求 請求項の数 3 F D (全 12 頁) 最終頁に続く

(21) 出願番号 特願平6-54620

(22) 出願日 平成6年(1994)2月28日

(31) 優先権主張番号 特願平5-302275

(32) 優先日 平5(1993)11月8日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 江崎 邦裕

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72) 発明者 横田 洋一

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

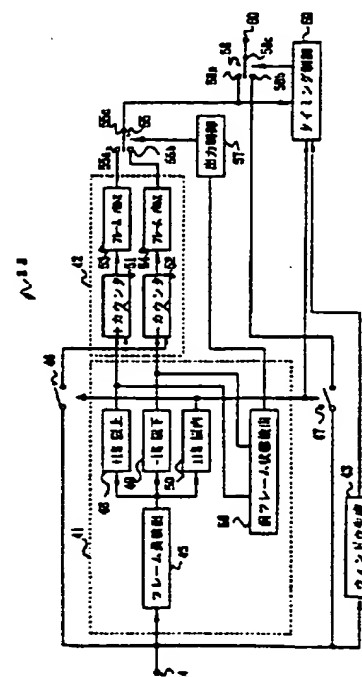
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 記録再生装置

(57) 【要約】

【目的】 外部同期モードと内部自走モードとの切り換え時に、出力される垂直同期信号に連続性を持たせ、ドラムサーボを常に適切にかけることができるようにする。

【構成】 フレーム長検出部45において、外部から供給された垂直同期信号に基づいてフレーム長が検出される。このフレーム長が標準信号のものと比べて+1%以上であることがコンパレータ48で、-1%以下であることがコンパレータ49で、±1%以内であることがコンパレータ50で検出される。フレーム長が標準信号のものと比べて±1%以内の時には、外部から供給された垂直同期信号が出力される。一方、フレーム長が標準信号のものと比べて±1%以外の時には、内部で発生される垂直同期信号が出力される。



# 【特許請求の範囲】

【請求項1】 入出力処理部、圧縮伸長処理部、記録再生処理部及び制御部からなり、上記入出力処理部、上記圧縮伸長処理部及び上記記録再生処理部には、上記制御部から周波数のそれぞれ異なるクロックが供給され、上記クロックを用いて外部から供給される映像信号がデジタル的に記録再生される記録再生装置であって、上記制御部は、上記映像信号のフレーム長を検出するフレーム長検出部と、上記フレーム長検出部の検出値により上記映像信号の垂直同期信号が所定値以内であるかを検出する第1の比較部と、上記フレーム長検出部の検出値により上記映像信号の垂直同期信号が所定値より小さいかを検出する第2の比較部と、上記フレーム長検出部の検出値により上記映像信号の垂直同期信号が所定値より大きいかを検出する第3の比較部と、上記第2の比較部の出力信号が供給される第1の自走カウンタと、上記第3の比較部の出力信号が供給される第2の自走カウンタと、上記映像信号の垂直同期信号に基づいてウィンドウパルス生成するウィンドウパルス生成部とを含み、上記第1の比較部の出力信号が用いられる時には、上記映像信号の垂直同期信号が用いられる外部同期モードとされ、上記第2の比較部の出力信号または上記第3の比較部の出力信号が用いられる時には、上記第1の自走カウンタまたは上記第2の自走カウンタの出力信号に基づいて生成される垂直同期信号が用いられる内部自走モードとされ、上記外部同期モード時及び上記外部同期モードから上記内部自走モードへの切り換え時に上記第1の自走カウンタ及び上記第2の自走カウンタをリセットすることとを特徴とする記録再生装置。

【請求項2】 入出力処理部、圧縮伸長処理部、記録再生処理部及び制御部からなり、上記入出力処理部、上記圧縮伸長処理部及び上記記録再生処理部には、上記制御部から周波数のそれぞれ異なるクロックが供給され、上記クロックを用いて外部から供給される映像信号がデジタル的に記録再生される記録再生装置であって、上記制御部は、上記映像信号のフレーム長を検出するフレーム長検出部と、上記フレーム長検出部の検出値により上記映像信号の垂直同期信号が所定値以内であるかを検出する第1の比較部と、上記フレーム長検出部の検出値により上記映像信号の垂直同期信号が所定値より小さいかを検出する第2の比較部と、上記フレーム長検出部の検出値により上記映像信号の垂直同期信号が所定値より大きいかを検出する第3の比較部と、上記第2の比較部の出力信号が供給される第1の自走カウンタと、上記第3の比較部の出力信号が供給される第2の自走カウンタと、上記映像信号の垂直同期信号に基づいてウィンドウパルス生成するウィンドウパルス生成部とを含み、上記第1の比較部の出力信号が用いられる時には、上記映像信号の垂直同期信号が用いられる外部同期モードと

され、上記第2の比較部の出力信号または上記第3の比較部の出力信号が用いられる時には、上記第1の自走カウンタまたは上記第2の自走カウンタの出力信号に基づいて生成される垂直同期信号が用いられる内部自走モードとされ、

上記内部自走モード時において、上記第1の自走カウンタまたは上記第2の自走カウンタにより形成された垂直同期信号が上記ウィンドウパルス内に入ると、上記内部自走モードから上記外部同期モードに切り換えられることを特徴とする記録再生装置。

【請求項3】 上記内部自走モードまたは上記外部同期モードであるかを設定するスレショルドレベルはヒステリシスを有する請求項1記載の記録再生装置。

## 【発明の詳細な説明】

### 【0001】

【産業上の利用分野】 この発明は、例えば、デジタルビデオカセットレコーダやデジタルビデオカメラに用いて好適な記録再生装置に関する。

### 【0002】

【従来の技術】 外部入力されるコンポーネント信号またはコンポジット信号等の映像信号内の垂直同期信号をもとに生成されるフレームパルスの周波数を検出し、この周波数に応じて、回転ヘッドの回転数を制御し、映像信号をデジタル的に記録すると共に、アナログ的に再生するようなデジタルビデオカセットレコーダ（以下、D-VCRとする）が知られている。

【0003】 上述のようなD-VCRは、例えば、入出力処理ブロック、圧縮伸長処理ブロック、記録再生処理ブロック及びこれらの各処理ブロックに対してそれぞれ周波数の異なるクロックを供給する制御ブロックとからなる。

【0004】 即ち、映像信号の記録時において、制御ブロックでは、外部から供給された映像信号の垂直同期信号をもとに生成されるフレームパルスが検出され、このフレームパルスに基づいて、例えば18MHz及び4.3MHzのクロックがそれぞれ発生される。13.5MHzのクロックは外部から供給された映像信号の水平同期信号に基づいて作られ、入出力処理ブロックに供給され、18MHzのクロックは圧縮伸長処理ブロックに供給され、また、4.3MHzのクロックは記録再生処理ブロックに供給される。

【0005】 入出力処理ブロックでは、13.5MHzのクロックに基づいて、外部から供給される映像信号がA/D変換されると共にデジタル化される。これにより、映像データが形成される。また、この映像データは輝度データY及びクロマデータCに分離された後、圧縮伸長処理ブロックに供給される。

【0006】 圧縮伸長処理ブロックでは、18MHzのクロックに基づいて、輝度データY及びクロマデータCが所定の画素数のブロック単位とされ、このブロック毎

に直交変換処理後にデータ圧縮が行われる。そして、データ圧縮されたブロック毎の輝度データY及びクロマデータCから1画素分の映像データが形成される。この映像データは、記録再生処理ブロックに供給される。

【0007】記録再生処理ブロックでは、43MHzのクロックに基づいて、映像データが符号化されると共にパリティが付加される。このデータは、回転ヘッドである記録ヘッドに供給される。

【0008】記録ヘッドの回転数は、外部から供給された映像信号の垂直同期信号の周波数に応じて可変とされている。なお、テープ走行速度は可変されない。記録ヘッドは、この可変された回転数で回転駆動される。これにより、映像データが磁気テープにデジタル的に斜め記録される。

【0009】磁気テープ上に映像データをデジタル的に斜め記録することにより形成される記録トラックは、供給された映像信号の垂直同期信号の周波数が標準の周波数である場合には、これに対応して、標準の傾斜で記録される。

【0010】また、上述の映像信号の垂直同期信号の周波数が標準の周波数よりも高い（非標準周波数）場合、標準より回転数が上がるように記録ヘッドが制御される。このため、標準の周波数の垂直同期信号を有する映像信号の記録トラックTRよりも、傾斜が急な記録トラックTRが磁気テープ上に形成される。

【0011】さらに、上述の映像信号の垂直同期信号の周波数が標準の周波数よりも低い（非標準周波数）場合、標準より回転数が下がるように記録ヘッドが制御される。このため、標準の周波数の垂直同期信号を有する映像信号の記録トラックTRよりも、傾斜が緩やかな記録トラックTRが磁気テープ上に形成される。

【0012】次に、このようにデジタル記録された映像データが再生される場合、再生ヘッド（ドラム）の回転速度は一定であるが、テープに記録されているデータから生成されるパイロット信号をもとに、キャプスタンの回転速度が制御される。これにより、再生ヘッドがオントラックされ、映像データが正確に再生可能とされる。

【0013】このように映像データが再生されると、記録再生処理ブロックでは、43MHzのクロックに基づいて、この再生映像データに対して時間軸補正処理が施されると共に、誤り訂正処理がなされる。このような処理後の再生映像データは、圧縮伸長処理ブロックに供給される。

【0014】圧縮伸長処理ブロックでは、18MHzのクロックに基づいて映像データが所定画素数のブロックに分割されると共に、このブロック毎に対して逆直交変換処理がなされる。その後、このデータは、入出力処理ブロックに供給される。

【0015】入出力処理ブロックでは、13.5MHz

のクロックに基づいて、ブロック毎に供給される映像データから1画素分の映像データが形成される。これと共に、この映像データが輝度データY及びクロマデータCに分離される。そして、輝度データY及びクロマデータCがそれぞれD/A変換されてアナログ信号とされる。このアナログ信号は、輝度信号Y及びクロマ信号Cとされ、出力端子を介して外部（例えばモニタ装置等）に出力される。

【0016】このように、D-VCRでは、記録時には、外部から供給された垂直同期信号の周波数に応じて、記録ヘッドの回転数が制御される。また、映像データの記録再生を行うために、外部から供給された垂直同期信号の周波数が標準とは異なっている場合でも、外部から供給される映像信号を正確に記録再生することができる。

【0017】

【発明が解決しようとする課題】ヘッド回転制御機能を有するD-VCRでは、外部から供給される垂直同期信号をもとにして生成されたフレームパルスの周波数を検出する。検出した信号の周波数が所定の範囲内であれば、外部からの同期信号に基づいてクロックが形成される（これを外部同期と称する）、これが入出力処理ブロック、圧縮伸長処理ブロック、記録再生処理ブロック及び制御ブロックに供給される。また、外部からの同期信号の周波数が所定の範囲外の時には、この信号の周波数が所定の範囲のものに補正される（これを内部自走と称する）。この補正された周波数の信号でクロックが形成され、このクロックが各ブロックに供給される。

【0018】しかしながら、上述の方法では、外部同期から内部自走に切り換わる時、または内部自走から外部同期に切り換わる時の対策については何ら考慮されていない。即ち、この切り換わり時に同期信号が不連続になる。このため、前述の切り換わりの過渡状態においてドラムサーボが正確に動作しなくなり、安定したサーボ状態になるまで時間がかかってしまう。また、この時間内では、正常な記録をすることができなくなってしまう。

【0019】さらに、上述の方法では、1段階のスレシヨルドレベルが設定され、外部同期と内部自走との切り換えが行われる。1段階のスレシヨルドレベルのみが設けられるため、スレシヨルドレベル付近の検出値の場合には、外部同期と内部自走とが頻繁に変化してしまう。従って、上記のようなドラムサーボの乱れが生じてしまう。

【0020】従って、この発明の目的は、外部同期と内部自走との切り換え時に、ドラムサーボを即座に安定させることができる記録再生装置を提供することにある。

【0021】

【課題を解決するための手段】請求項1にかかるこの発明は、入出力処理部、圧縮伸長処理部、記録再生処理部及び制御部からなり、入出力処理部、圧縮伸長処理部

及び記録再生処理部には、制御部から周波数のそれぞれ異なるクロックが供給され、クロックを用いて外部から供給される映像信号がデジタル的に記録再生される記録再生装置であって、制御部は、映像信号のフレーム長を検出するフレーム長検出部と、フレーム長検出部の検出値により映像信号の垂直同期信号が所定値以内であるかを検出する第1のコンパレータと、フレーム長検出部の検出値により映像信号の垂直同期信号が所定値より小さいかを検出する第2のコンパレータと、フレーム長検出部の検出値により映像信号の垂直同期信号が所定値より大きいかを検出する第3のコンパレータと、第2のコンパレータの出力信号が供給される第1の自走カウンタと、第3のコンパレータの出力信号が供給される第2の自走カウンタと、映像信号の垂直同期信号に基づいてウィンドウパルス生成部とを含み、第1のコンパレータの出力信号が用いられる時には、映像信号の垂直同期信号をもとに生成されるフレームパルスが用いられる外部同期モードとされ、第2のコンパレータの出力信号または第3のコンパレータの出力信号が用いられる時には、第1の自走カウンタまたは第2の自走カウンタの出力信号に基づいて生成されるフレームパルスが用いられる内部自走モードとされ、外部同期モード時及び外部同期モードから内部自走モードへの切り換え時に第1の自走カウンタ及び第2の自走カウンタをリセットすることを特徴とする記録再生装置である。

【0022】請求項2にかかわるこの発明は、入出力処理部、圧縮伸長処理部、記録再生処理部及び制御部からなり、入出力処理部、圧縮伸長処理部及び記録再生処理部には、制御部から周波数のそれぞれ異なるクロックが供給され、クロックを用いて外部から供給される映像信号がデジタル的に記録再生される記録再生装置であって、制御部は、映像信号のフレーム長を検出するフレーム長検出部と、フレーム長検出部の検出値により映像信号の垂直同期信号が所定値以内であるかを検出する第1のコンパレータと、フレーム長検出部の検出値により映像信号の垂直同期信号が所定値より小さいかを検出する第2のコンパレータと、フレーム長検出部の検出値により映像信号の垂直同期信号が所定値より大きいかを検出する第3のコンパレータと、第2のコンパレータの出力信号が供給される第1の自走カウンタと、第3のコンパレータの出力信号が供給される第2の自走カウンタと、映像信号の垂直同期信号をもとに生成されるフレームパルスに基づいてウィンドウパルス生成部とを含み、第1のコンパレータの出力信号が用いられる時には、映像信号の垂直同期信号をもとに生成されるフレームパルスが用いられる外部同期モードとされ、第2のコンパレータの出力信号または第3のコンパレータの出力信号が用いられる時には、第1の自走カウンタまたは第2の自走カウンタの出力信号に基づいて

生成されるフレームパルスが用いられる内部自走モードとされ、内部自走モード時において、第1の自走カウンタまたは第2の自走カウンタにより形成されたフレームパルスがウィンドウパルス内に入ると、内部自走モードから外部同期モードに切り換えられることを特徴とする記録再生装置である。

#### 【0023】

【作用】フレーム長検出部45で映像信号のフレーム長が検出される。この検出値が標準信号のものに比べて±1%以内でない時には内部自走モードとされ、コンパレータ48から自走カウンタ51へまたはコンパレータ49から自走カウンタ52へ信号が供給される。フレームパルス発生部53または54で内部自走モード用のパルスが発生され、このパルスが出力される。一方、フレーム長検出部45の検出値が標準信号のものに比べて±1%以内の時には外部同期モードとされ、入力端子44を介された垂直同期信号をもとに生成されるフレームパルスがそのまま出力される。

#### 【0024】

【実施例】以下、この発明の一実施例に関して図面を参照して説明する。図1は、この発明による記録再生装置の回路ブロック図である。図1に示される記録再生装置は、例えば、外部から供給される映像信号中の同期信号の周波数に基づいて記録ヘッドの回転数を制御し、映像信号をデジタル的に記録再生する、いわゆるドラム回転制御機能を有するD-VCRである。

【0025】このD-VCRは、映像信号の入出力処理を行う入出力部であるI/Oブロック（入出力処理部）1と、映像データに対して所定の信号処理を行うVSP（Video Signal Processing）ブロック2（圧縮伸長処理部）と、映像データの記録再生を行う記録再生処理等を行うDRP（Data Recording Playback）ブロック3（記録再生処理部）と、各ブロック1～3に必要なクロックをそれぞれ形成すると共に、D-VCR全体の制御を行う制御手段であるCSG（Control Signal Generator）ブロック4（制御部）とからなる。

【0026】このようなD-VCRにおいて、外部から供給される例えばコンポジット信号の記録を行う場合、コンポジット信号は、入力端子6を介してスイッチ7の被選択端子7bに供給されると共に、CSGブロック4内の同期分離回路24に供給される。この場合、スイッチ7は、選択端子7cで被選択端子7bを選択するように切り換え制御されている。このため、入力端子6からのコンポジット信号は、スイッチ7を介して入力映像信号処理回路8に供給される。

【0027】一方、同期分離回路24では、コンポジット信号から同期信号が抽出される。この同期信号は、スイッチ25の被選択端子25bに供給される。この場合、外部から供給された映像信号がコンポジット信号のため、スイッチ25は、選択端子25cで被選択端子2

5bを選択するように切り換え制御されている。従って、同期分離回路24で抽出された同期信号は、スイッチ25を介して同期検出回路26に供給されると共に、スイッチ27の被選択端子27aに供給される。

【0028】同期検出回路26では同期信号の検出が行われる。同期信号が検出された時に、選択端子27cで被選択端子27aが選択されるようにスイッチ27が切り換え制御される。これにより、同期分離回路24からの同期信号がスイッチ27を介して垂直及び水平分離回路28に供給される。

【0029】また、以上の説明は、外部からコンポジット信号が供給される場合であるが、外部からコンポーネント信号が供給される場合、コンポーネント信号は、入力端子5を介してスイッチ7の選択端子7a及びスイッチ25の被選択端子25aに供給される。この場合、スイッチ7は、選択端子7cにより被選択端子7aを選択するように切り換え制御されている。このため、入力端子5からのコンポーネント信号が、スイッチ7を介して入力映像信号処理回路8に供給される。

【0030】また、スイッチ25は、選択端子25cにより被選択端子25aを選択するように切り換え制御される。このため、コンポーネント信号は、同期検出回路26及びスイッチ27の被選択端子27aに供給される。

【0031】同期検出回路26では、コンポーネント信号の同期信号が検出され、同期信号が検出された時に、選択端子27cにより被選択端子27aが選択されるようにスイッチ27が切り換え制御される。これにより、コンポーネント信号の同期信号が垂直及び水平分離回路28に供給される。

【0032】垂直及び水平分離回路28では、同期信号が供給されると、同期信号が垂直同期信号及び水平同期信号に分離される。水平同期信号は、I/Oブロック1用のフェーズ・ロックド・ループ回路(PLL回路)である、I/OPLL回路30に供給される。また、垂直同期信号は、フレームパルス生成回路38に供給される。フレームパルス生成回路38では、垂直同期信号に基づいて映像信号のフレーム長が検出される。垂直同期信号が標準の垂直同期信号に対して±1%以内の時に、供給された垂直同期信号は、フレームパルス生成回路38に供給され、それをもとにして生成されたフレームパルスはVSPブロック2用のPLL回路である2VSPPLL回路32に供給される。また、標準の垂直同期信号に対して±1%以外の時に、フレームパルス生成回路38では、独自にフレームパルスが生成され、このフレームパルスが2VSPPLL回路32に供給される。

【0033】I/OPLL回路30では、水平同期信号の位相が引き込まれる。これにより、正確なタイミングの水平同期信号が形成され、水平同期信号がI/Oコントロール信号発生回路29に供給される。

【0034】I/Oコントロール信号発生回路29では、水平同期信号をリファレンスとして、国際無線通信諮問委員会(CCIR)で勧告されている13.5MHzのクロックが形成されると共に、I/Oコントロール信号が形成され、これらがI/Oブロック1に供給される。

【0035】I/Oブロック1において、コンポジット信号が供給される入力映像信号処理回路8では、13.5MHzのクロックにより、コンポジット信号がサンプリングされると共にディジタル化される。これにより、コンポジットデータが形成される。また、I/Oコントロール信号に基づいてコンポジットデータから輝度データY及びクロマデータCが形成され、これらがブロッキングメモリ9に供給される。

【0036】ブロッキングメモリ9には、13.5MHzのクロックが供給されている。輝度データY及びクロマデータCは、この13.5MHzのクロックにより、ブロッキングメモリ9に書き込まれる。

【0037】2VSPPLL回路32では、垂直同期信号をもとに生成されたフレームパルスの位相が引き込まれ、正確なタイミングのフレームパルスが形成される。これがVSPコントロール信号発生回路31に供給される。

【0038】VSPコントロール信号発生回路31からは、約18MHzのクロックがVSPブロック2に供給されると共に、約18MHzのクロック及び約36MHzのクロックに基づいてVSPコントロール信号が形成され、これがVSPブロック2に供給される。

【0039】VSPブロック2において、ブロッキングメモリ9に13.5MHzのクロックで書き込まれた輝度データY及びクロマデータCは、約18MHzのクロックで読み出され、直交変換(DCT)回路10に供給される。DCT回路10では、VSPコントロール信号に基づいて輝度データY及びクロマデータCが、例えば8画素×8画素のブロックに分割され、このブロック毎に、いわゆる直交変換処理が行われる。これによりデータ圧縮が行われる。そして、このデータ圧縮されたブロック毎の輝度データY及びクロマデータCがフレーム化回路11に供給される。

【0040】フレーム化回路11では、VSPコントロール信号に基づいて、データ圧縮された輝度データY及びクロマデータCから1画像分の映像データが形成される。この映像データは、PTGメモリ12に供給される。PTGメモリ12には、約18MHzのクロックが供給されている。映像データは、この18MHzのクロックによりPTGメモリ12に書き込まれると共にパリティが付加される。

【0041】次に、2VSPPLL回路32からのタイミング信号が供給されるDRPPLL回路34では、タイミング信号の位相が引き込まれ、正確なタイミングの

約4.3MHzのクロックが形成される。このクロックは、スイッチ35の被選択端子35bに供給される。

【0042】上述のように、DRPPLL回路34に供給されるタイミング信号の周波数は、2VSPPLL回路32から供給されるので、DRPPLL回路34の位相引き込み幅を拡げる必要がない。このため、位相引き込み後の安定性を良くすることができる。

【0043】スイッチ35は、記録時には、選択端子35cで被選択端子35bを選択するように切り換え制御されている。このため、DRPPLL回路34からの約4.3MHzのクロックは、スイッチ35を介してDRPコントロール信号発生回路33に供給される。DRPコントロール信号発生回路33からは、約4.3MHzのクロックがDRPブロック3に供給されると共に、約4.3MHzのクロックからDRPコントロール信号が形成され、これがDRPブロック3に供給される。

【0044】DRPブロック3において、PTGメモリ12に書き込まれた映像データは、DRPコントロール信号発生回路33から供給される約4.3MHzのクロックにより読み出され、エンコーダ13に供給される。エンコーダ13では、DRPコントロール信号に基づいて映像データに所定の符号化処理が施され、これが回転ヘッドである記録ヘッド14に供給される。

【0045】記録ヘッド14は、DRPコントロール信号により制御される回転数で、映像データを磁気テープ15に斜め記録する。これにより、外部から供給される映像信号に係る垂直同期信号の周波数が、標準とは異なっているとしても、これに合わせて映像データの記録を行うことができ、供給される映像信号に対応した正確な記録を行うことができる。

【0046】さらに、上述のように、VSPコントロール信号及びDRPコントロール信号は、フレームパルス発生回路38の出力に基づいて形成されるため、記録ヘッド14の回転数に関して、正確なドラムサーボをかけることができる。

【0047】次に、このように磁気テープ15に記録された映像データは、再生時において、回転ヘッドとなっている再生ヘッド16により再生され、デコーダ17に供給される。

【0048】デコーダ17では、映像データに所定の復号化処理が施され、これがECCメモリ18に供給される。また、映像データがPBPLL回路36に供給される。PBPLL回路36では、4.3MHzクロックと、タイミング信号が形成される。この信号は、スイッチ35の被選択端子35aに供給される。再生時には、スイッチ35は、選択端子35cで被選択端子35aを選択するように切り換え制御されている。このため、PBPLL回路36からのタイミング信号は、スイッチ35を介してDRPコントロール信号発生回路33に供給される。

【0049】PBPLL回路36では、記録された映像データに基づいて約4.3MHzのクロックが形成される。DRPコントロール信号発生部33では、テープに記録されたパイロット信号をもとにキャプスタン速度が制御される。即ち、再生ヘッド16により記録トラックを正確にトレースすることができ、従って、映像データを正確に再生することができる。

【0050】また、磁気テープ15に記録された映像データは、フレームパルス生成回路38の出力に基づいて、記録ヘッド14で記録されているため、PBPLL回路36の位相引き込み幅を必要以上に拡げる必要がない。このため、PBPLL回路36の位相引き込み後の安定性を良くすることができる。

【0051】ECCメモリ18に供給された映像データは、約4.3MHzのクロックによりECCメモリ18に書き込まれると共に誤り訂正される。ここで、再生時には、スイッチ27は、被選択端子27bを選択端子27cで選択するように切り換え制御される。これにより、VSPコントロール信号発生回路31では、リファレンス同期ジェネレータ37から供給される垂直同期信号に基づいて、VSPコントロール信号及び約1.8MHzのクロックが形成され、また、I/Oコントロール信号発生回路29では、リファレンス同期ジェネレータ37からの垂直同期信号に基づいて、I/Oコントロール信号及び13.5MHzのクロックが形成される。

【0052】ECCメモリ18に書き込まれた映像データは、VSPコントロール信号発生回路31からの約1.8MHzのクロックにより、例えば8画素×8画素のブロック毎に読み出され、デフレーム化回路19を介して逆直交変換(IDCT)回路20に供給される。

【0053】逆直交変換回路20では、VSPコントロール信号に基づいて、各ブロック毎の映像データ(輝度データY及びクロマデータC)に対して、逆直交変換処理がなされる。これにより、映像データがデータ伸長され、これがデブロッキングメモリ21に供給される。

【0054】デブロッキングメモリ21に供給された映像データは、約1.8MHzのクロックにより、1画像分の映像データを形成するように書き込まれる。このデブロッキングメモリ21に書き込まれた映像データは、I/Oコントロール信号発生回路29からの13.5MHzのクロックにより読み出され、出力映像信号処理回路22に供給される。

【0055】出力映像信号処理回路22では、I/Oコントロール信号発生回路29からのI/Oコントロール信号に基づいて、輝度データY及びクロマデータCに分離されて供給される映像信号からコンポジットデータが形成されると共に、13.5MHzのクロックを用いて、コンポジットデータがアナログ化される。これによりコンポジット信号が形成され、これが出力端子23を介して外部に出力される。



【0056】図2は、フレームパルス生成回路38の詳細を示す回路ブロック図である。フレームパルス生成回路38は、フレーム長判別部41、自走フレームパルス生成部42、ウィンドウパルス生成部43等から構成される。

【0057】以下、フレームパルス生成回路38の構成を説明する。入力端子44は、ウィンドウパルス生成部43、フレーム長検出部45、スイッチ46の一端及びスイッチ47の一端にそれぞれ接続される。フレーム長検出部45は、コンパレータ48、コンパレータ49及びコンパレータ50にそれぞれ接続される。

【0058】コンパレータ48では、標準の垂直同期信号をもとに生成されるフレームパルスの周期に比べて+1%周波数の高いフレームパルスが形成される。コンパレータ49では、標準の垂直同期信号をもとに生成されるフレームパルスの周期に比べて-1%周波数の低いフレームパルスが形成される。コンパレータ50は、供給された信号に基づいて、スイッチ46及び47を制御すると共に、後述するタイミング制御部59に信号を出力する。また、タイミング制御部59には、ウィンドウパルス生成部43の出力が供給される。ウィンドウパルス生成部43は、内部自走モードから外部同期モードに切り換える場合に用いられる。

【0059】コンパレータ48は、カウンタ51の+入力端子及び前フレーム状態検出部56に接続される。一方、コンパレータ49は、カウンタ52の-入力端子及び前フレーム状態検出部56に接続される。カウンタ51の他の入力端子及びカウンタ52の他の入力端子には、スイッチ46の他の端子が接続される。カウンタ51はフレームパルス発生部53に、カウンタ52はフレームパルス発生部54にそれぞれ接続される。フレームパルス発生部53はスイッチ55の被選択端子55aに、フレームパルス発生部54はスイッチ55の被選択端子55bにそれぞれ接続される。

【0060】前フレーム状態検出部56は、出力制御部57に接続される。出力制御部57の制御信号がスイッチ55に供給される。これにより、スイッチ55の選択端子55cが制御される。この選択端子55cは、スイッチ58の被選択端子58a及びタイミング制御部59に接続される。スイッチ58の被選択端子58bには、スイッチ47の他の端子が接続される。

【0061】タイミング制御部59では、供給された信号に基づいて制御信号をスイッチ58に供給する。スイッチ58の選択端子58cにより被選択端子58aまたは58bの何れか一方が選択される。これにより、信号が出力端子60に供給される。出力端子60は、2VSPPLL回路32に接続される。

【0062】以下、図2に示されるフレームパルス生成回路の動作を説明する。入力端子44を介して入力された垂直同期信号をもとに生成されたフレームパルスは、

フレーム長検出回路45に供給される。フレーム長検出回路45では、フレームパルスの立ち上がりが検出され、これに基づいて、1フレーム長が検出される。このフレーム長が標準信号のフレーム長に比べて、 $\pm 1\%$ 以内ならば、入力端子44を介されたフレームパルスが出力端子60にそのまま供給され、外部同期とされる。一方、フレーム長が標準信号のフレーム長に比べて、 $+1\%$ 以上または $-1\%$ 以下ならば、コンパレータ48または49の出力信号が出力端子60に供給される。

【0063】詳細には、フレーム長が標準信号のものに比べて $\pm 1\%$ 以内の場合、コンパレータ50からの出力信号により、スイッチ46及び47がオンされる。これにより、カウンタ51及び52がフレームパルスの立ち上がりでリセットされる。また、入力端子44を介されたフレームパルスがスイッチ58の被選択端子58bに供給される。タイミング制御部59は、コンパレータ50の出力信号に基づいて、スイッチ58の選択端子58cが被選択端子58bを選択するように制御する。これにより、入力端子44を介されたフレームパルスが出力端子60にそのまま供給され、外部同期とされる。なお、入力端子44を介されたフレームパルスをもそのまま用いているので、この場合が外部同期モードとされる。

【0064】一方、フレーム長が標準信号のフレーム長に比べて $+1\%$ 以上の場合、コンパレータ48からの出力信号により、カウンタ51が動作し、このカウンタ出力がフレームパルス発生部53に供給される。これにより、フレームパルスが形成される。また、前フレーム状態検出部56の出力が出力制御部57に供給され、出力制御部57により、スイッチ55の選択端子55cが被選択端子55aを選択するように制御される。これと共に、タイミング制御部59により、被選択端子58aがスイッチ58の選択端子58cに選択される。このため、入力された垂直同期信号に対応したフレームパルスが出力端子60に供給される。

【0065】また、フレーム長が標準信号のフレーム長に比べて $-1\%$ 以下の場合、コンパレータ49からの出力信号により、カウンタ52が動作し、このカウンタ出力がフレームパルス発生部54に供給される。これにより、フレームパルスが形成される。また、前フレーム状態検出部56の出力が出力制御部57に供給され、出力制御部57によりスイッチ55の選択端子55cが被選択端子55bを選択するように制御される。これと共に、タイミング制御部59により、被選択端子58aがスイッチ58の選択端子58cに選択される。このため、入力された垂直同期信号に対応したフレームパルスが出力端子60に供給される。なお、フレーム長が標準信号のものに比べて $\pm 1\%$ を越えている場合には、このように、コンパレータ48または49から出力された内部自走信号が用いられるので、この場合が内部自走モードとされる。

【0066】ところで、上述のように、外部同期時にも、フレーム長判別部41で外部同期信号の立ち上がり検出され、この立ち上がりでカウンタ51及び52がリセットされる。また、フレーム長判別部41のコンパレータ48、49及び50の切り換えも、外部同期信号の立ち上がりで行われる。このため、外部同期モードから内部自走モードへの切り換え時に、出力端子60に連続的なフレームパルスを送給することが可能となる。

【0067】一方、内部自走から外部同期に切り換えられる時には、上述のような方法で、外部同期信号を内部自走信号でリセットすることにより、フレームパルスを連続的に出力することが可能となる。しかしながら、一般的に、外部同期信号をリセットすることは不可能である。

【0068】図3は、内部自走モードから外部同期モード切り換え時の出力信号の不連続性を示すタイミング図である。なお、図3Aは外部から供給される垂直同期信号をもとに生成されたフレームパルスを、図3Bは内部自走信号のパルスを、図3Cは用いられているモードを、図3Dは出力端子60に供給される出力信号のフレームパルスをそれぞれ示す。内部自走モードから外部同期モードに変化させた時に、出力信号の周期が不連続となる(図3Dのパルスd参照)。即ち、図3Aに示される入力信号があった場合、フレーム長判別部41において、 $\pm 1\%$ 以内と判別されたパルスdが出力されると、その時点で出力信号が不連続となってしまう。

【0069】そこで、内部自走から外部同期への切り換え時には、ウィンドウパルス生成部43が用いられる。即ち、ウィンドウパルス生成部43では、外部から供給される垂直同期信号をもとに生成されるフレームパルスに基づいて、ウィンドウパルスが生成される。また、外部からの垂直同期信号のフレーム長が標準信号のものと比べて $\pm 1\%$ 以内の場合でも、自走フレームパルス生成部42で生成されたフレームパルスがウィンドウパルスのアクティブエリアに入るまで、内部自走モードから外部同期モードに切り換わらないようになっている。これにより、出力されるフレームパルスの連続性を保持することが可能となる。

【0070】図4は、内部自走モードから外部同期モード切り換え時の出力信号の連続性を示すタイミング図である。なお、図4Aは外部から供給される垂直同期信号をもとに生成されたフレームパルスを、図4Bはウィンドウパルス生成部43で生成されるウィンドウパルスを、図4Cは内部自走信号のパルスを、図4Dは用いられているモードを、図4Eは出力端子60に供給される出力信号のフレームパルスをそれぞれ示す。

【0071】図4のタイミング図からもわかるように、外部から供給される垂直同期信号をもとに生成されたフレームパルスに基づいて、ウィンドウパルス生成部43でウィンドウパルスが生成されると(図4B参照)、内

部自走信号(図4C参照)がウィンドウパルスのアクティブエリアに入るまで、内部自走モードから外部同期モードに切り換わらないようになっている。このため、上述のように、出力されるフレームパルスの連続性を保持することが可能となる。即ち、外部からの垂直同期信号のフレーム長が標準信号のものと比べて $\pm 1\%$ 以内になった時でも、すぐには内部自走モードから外部同期モードには変化されない。このため、連続性のあるフレームパルスを出力することが可能となる。

【0072】図5は、外部からの垂直同期信号をもとに生成されたフレームパルスの位相を基準とした内部自走信号の位相の時間的变化の様子を示すタイミング図である。なお、図5において、A、C及びEは外部からの垂直同期信号をもとに生成されたフレームパルスを、B、D及びFは内部自走信号をそれぞれ示す。外部同期信号の周波数と内部自走信号の周波数との周波数が一致している場合には、内部自走信号はフレームパルスと一定の位相差をもって定常している。しかしながら、図5に示されるように、フレームパルスの周波数に対して内部自走信号の周波数が小さい場合、内部自走信号は、時間の経過に伴い、右方向に移動しているように見える。なお、フレームパルスと内部自走信号の周波数差が大きい程、この移動は高速に見える。

【0073】図2に示した回路構成では、外部からの垂直同期信号をもとに生成されたフレームパルスの周波数と内部自走信号の周波数との差が小さいので、上述したような内部自走モードから外部同期モードへの切り換えを行うと、フレーム長が $\pm 1\%$ 以内と判別されてから、実際にモードの切り換えが行われるまで、所定の時間を要してしまう。

【0074】上述の問題に対しては、図6に示される回路構成をもって解決することができる。以下、図6に示される回路の構成を説明する。入力端子71を介された垂直同期信号は、スイッチ72の被選択端子72a、フレーム長検出部73、ウィンドウパルス生成部74及びスイッチ75の被選択端子75bに供給される。フレーム長検出部73の出力により、スイッチ75はその動作を制御される。ブロック76は、 $+1\%$ 及び $-1\%$ フレームパルス生成部である。フレームパルス生成部76では、標準信号のフレーム長に比べて $+1\%$ 周波数の高いまたは $-1\%$ 周波数の低いフレームパルスが生成される。フレームパルス生成部76の出力は、スイッチ75の被選択端子75aに供給される。上述のように、スイッチ75の選択端子75cの動作は、フレーム長検出部73の出力に依存している。選択端子75cにより選択された信号は、位相比較部77を介してPLL78に供給される。PLL78の出力は、スイッチ72の被選択端子72b、タイミング制御部79及び位相比較部77に供給される。位相比較部77では、スイッチ75を介された信号とPLL78から供給された信号との位相比

較が行われる。タイミング制御部 79 には、ウィンドウパルス生成部 74 からウィンドウパルスが供給される。タイミング制御部 79 では、供給された信号に基づいて、スイッチ 72 に制御信号を供給する。この制御信号により、スイッチ 72 の選択端子 72c は、被選択端子 72a または 72b を選択するように制御される。選択端子 72c で選択された信号は、出力端子 80 に供給される。

【0075】以下、図 6 の回路の動作説明をする。入力端子 71 からフレームパルスが供給されると、フレーム長検出部 73 では、フレームパルスに基づいて、フレーム長が検出される。例えば、内部自走モードから外部同期モードへ切り換わる場合について述べると、スイッチ 75 の選択端子 75c は、選択端子 75a から選択端子 75b に切り換え制御される。これにより、外部から供給されるフレームパルスが位相比較部 77 に供給される。これに対応して、PLL 78 は、外部からの垂直同期信号をもとに生成されたフレームパルスの位相に近づくように PLL 動作する。PLL 78 の出力信号が、ウィンドウパルス生成部 74 で設定される所定の位相差より小さくなると、スイッチ 72 の選択端子 72c が被選択端子 72a から被選択端子 72b に切り換え制御される。このようにして、より高速に内部自走モードから外部同期モードに切り換えることが可能となる。

【0076】ところで、この発明では、フレーム長判別ブロックの検出値がスレシヨルドレベル付近の場合、外部同期と内部自走とが頻繁に変わらないように制御される。図 7 は、外部同期モードと内部自走モードとの切り換えスレシヨルドレベルを示す。図 7 からわかるように、外部同期モードと内部自走モードとの切り換えスレシヨルドレベルとして、2 段階のスレシヨルドレベルが設けられている。即ち、その 1 つはフレーム長が  $+1\%$  のレベルであり、他の 1 つはフレーム長が  $(+1\% - \alpha)$  のレベルである。

【0077】外部からの垂直同期信号に基づいて検出されたフレーム長がスレシヨルドレベル  $(+1\%)$  以上の場合 (点 a 及び c) には、フレーム長判別部の出力は、 $+1\%$  のフレームパルスに固定される (内部自走モード)。また、スレシヨルドレベル  $(+1\% - \alpha)$  以上及びスレシヨルドレベル  $(+1\%)$  未満の場合 (点 b 及び d) には、フレーム長判別部の出力は、以前の状態のフレームパルスに保持される。さらに、スレシヨルドレベ

ル  $(+1\% - \alpha)$  未満の場合 (点 e) には、外部同期モードとされる。なお、図 7 には、プラス側のみのスレシヨルドレベルを示したが、マイナス側のスレシヨルドレベルについても同様の特性であるものとする。

#### 【0078】

【発明の効果】この発明に依れば、外部同期モード/内部自走モードの切り換え時に、出力されるフレームパルスが連続的となる。従って、信号処理系、データ記録系のフレームやトラック等を制御する信号が、モード変化時も連続的になり、回転ドラムに対して忠実なサーボをかけることができる。また、内部自走モードから外部同期モードへの切り換えは、ウィンドウパルスを用いることにより、高速化することができる。このため、例えば、外部からキュー/早送りモードからプレイモードに切り換えた場合、回転ドラムサーボが常に正常にかかるので、入力信号に忠実な記録を行うことができる。

#### 【図面の簡単な説明】

【図 1】この発明による記録再生装置の回路ブロック図である。

【図 2】フレームパルス生成回路の詳細を示す回路ブロック図である。

【図 3】内部自走モードから外部同期モード切り換え時の出力信号の不連続性を示すタイミング図である。

【図 4】内部自走モードから外部同期モード切り換え時の出力信号の連続性を示すタイミング図である。

【図 5】外部からの垂直同期信号をもとに生成されるフレームパルスの位相を基準とした内部自走信号の位相の時間的変化の様子を示すタイミング図である。

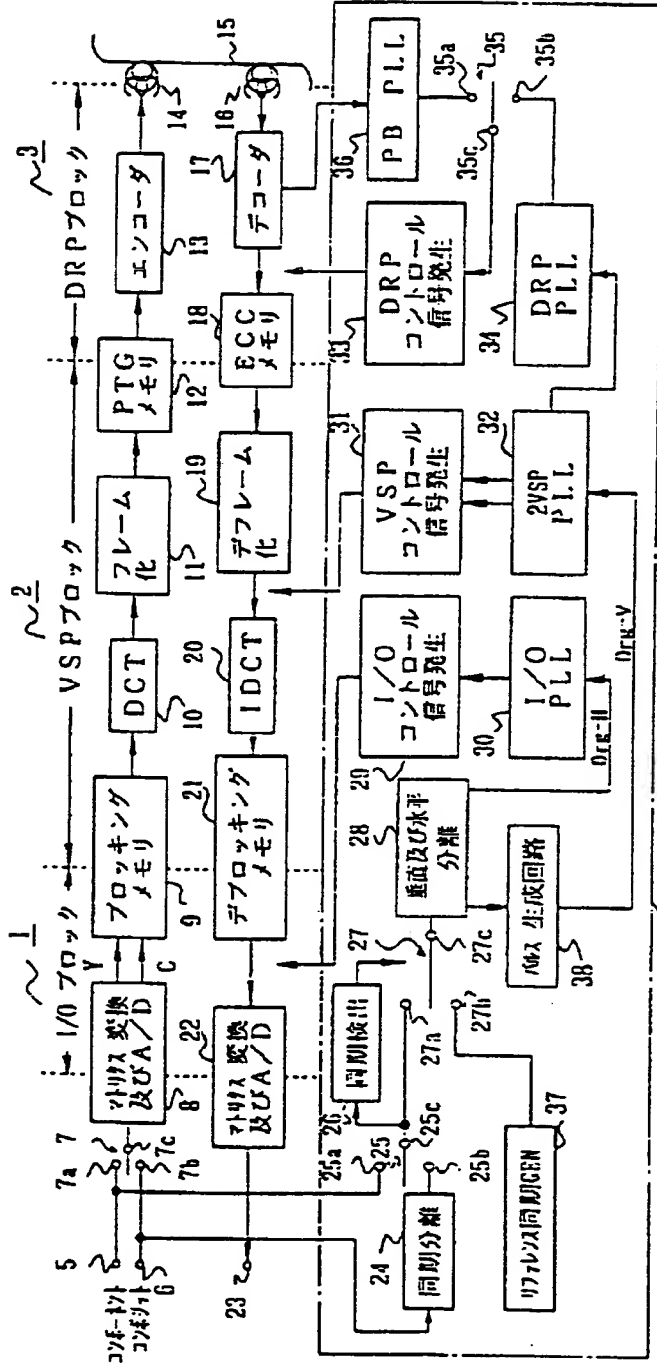
【図 6】モード切り換えの高速化を実現するための回路のブロック図である。

【図 7】外部同期モードと内部自走モードとの切り換えスレシヨルドレベルを示す図である。

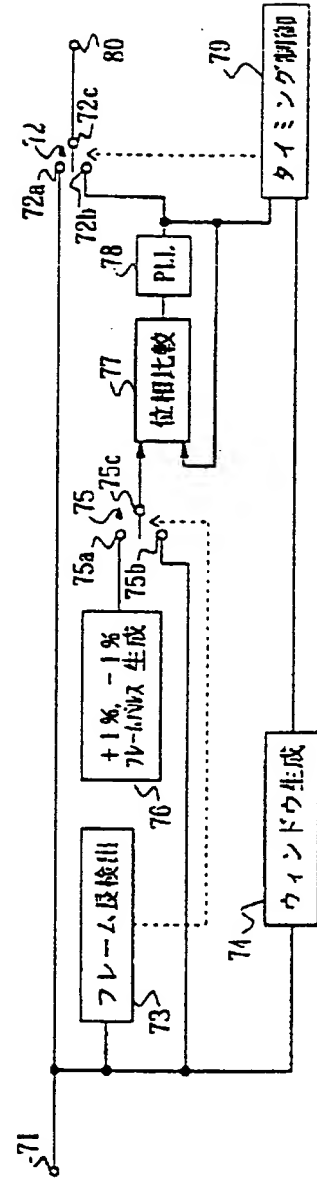
#### 【符号の説明】

- 1 入出力処理部
- 2 圧縮伸長処理部
- 3 記録再生処理部
- 4 制御部
- 38 パルス生成回路
- 43 ウィンドウパルス生成部
- 45 フレーム長検出部
- 48、49、50 コンパレータ

【図1】

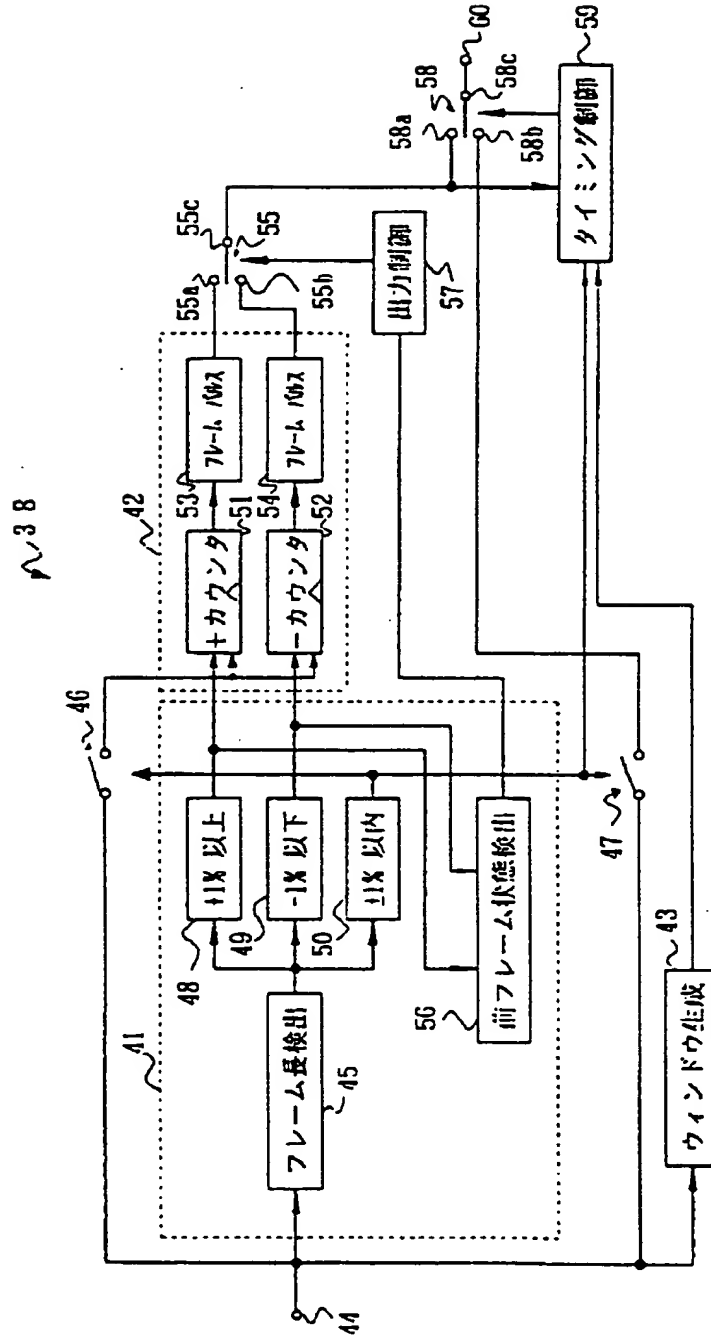


【図6】

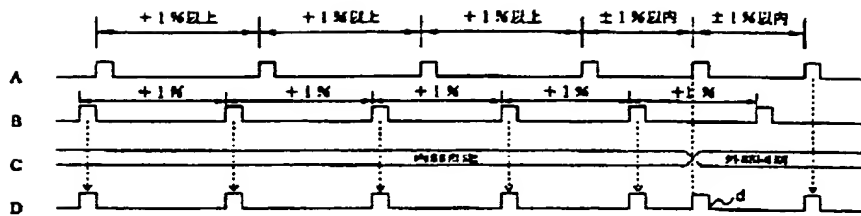


(11)

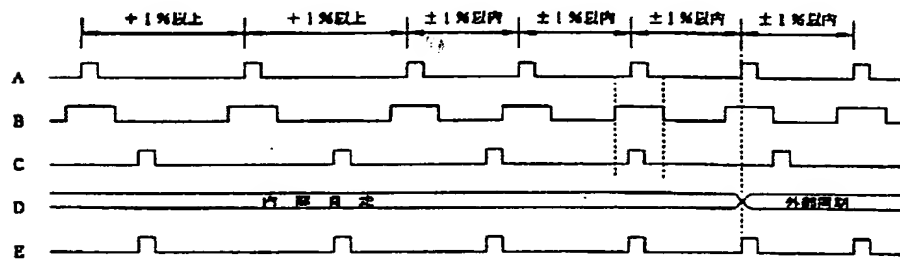
【図2】



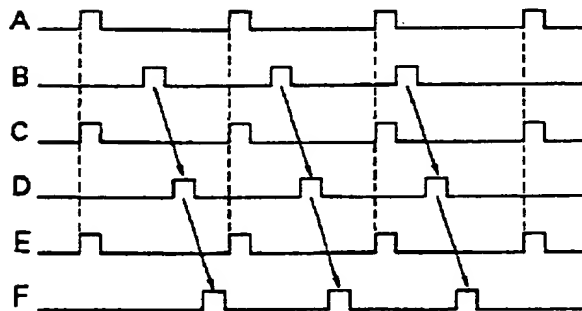
【図3】



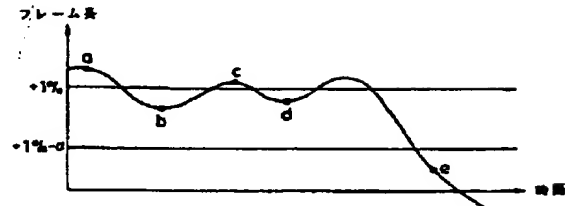
【図4】



【図5】



【図7】



フロントページの続き

(51) Int. Cl. 6

H 0 4 N 5/92

識別記号

庁内整理番号

F I

技術表示箇所